

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-215676

(P2000-215676A)

(43)公開日 平成12年8月4日(2000.8.4)

(51)Int.Cl.⁷

識別記号

F I

データコード*(参考)

G 1 1 C 14/00
11/22

G 1 1 C 11/34
11/22

3 5 2 A 5 B 0 2 4

審査請求 未請求 請求項の数6 O L (全 10 頁)

(21)出願番号 特願平11-8556

(22)出願日 平成11年1月14日(1999.1.14)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 田中 嗣彦

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74)代理人 100078282

弁理士 山本 秀策

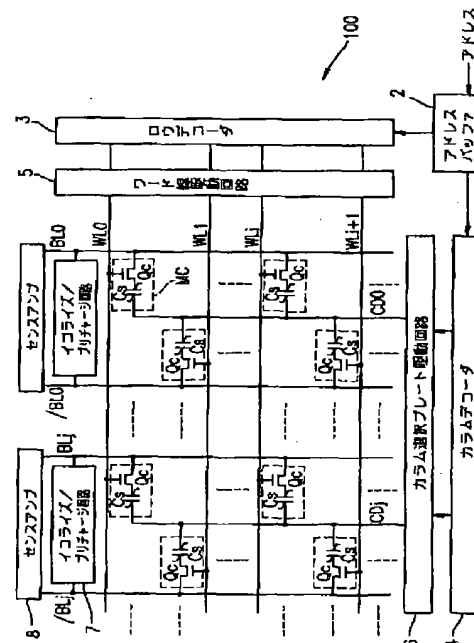
Fターム(参考) 5B024 AA07 BA01 BA15 CA07

(54)【発明の名称】 半導体記憶装置

(57)【要約】 (修正有)

【課題】 回路面積が小さくなる半導体記憶装置。

【解決手段】 行および列方向に配置した複数のメモリセルMC、行方向に延びる複数のワード線WL、列方向に延びる複数のビット線BL、列方向に延びる複数のビット線バー／BL、列方向に延びる複数のカラム選択プレート駆動線CD、イコライズ／プリチャージ回路7、センスアンプ8を備える。複数のメモリセルMCは、容量素子CsとMOSTランジスタQcを有し、容量素子は、第1電極と第2電極間に強誘電体膜を挟んで形成し、強誘電体膜の分極状態により2値情報を記憶・保持する。MOSTランジスタは、第1、第2電極、ゲート電極を有し、第1電極を容量素子の第1電極に接続し、ゲート電極が、対応ワード線に接続し、複数のMOSTランジスタのうちの1つの第2電極が、対応ビット線と接続し、複数のMOSTランジスタのうちの1つの第2電極を対応ビット線バーと接続する。



【特許請求の範囲】

【請求項1】 行方向および列方向に配置された複数のメモリセル、前記行方向に延びる複数のワード線、前記列方向に延びる複数のビット線、前記列方向に延びる複数のビット線バー、前記列方向に延びる複数のカラム選択プレート駆動線、イコライズ／プリチャージ回路、およびセンスアンプを備えた半導体記憶装置であって、前記複数のメモリセルのそれぞれは、容量素子とトランジスタを有し、

前記容量素子は、第1電極と前記第1電極に対向する第2電極との間に強誘電体膜を挟んで形成され、前記強誘電体膜の分極状態により2値情報を記憶・保持し、前記トランジスタは、第1電極、第2電極、ゲート電極を有し、前記第1電極が前記容量素子の第1電極に接続され、前記ゲート電極が、対応するワード線に接続され、

前記複数のトランジスタのうちの1つの第2電極が、対応するビット線と接続され、

前記複数のトランジスタのうちの1つの第2電極が、対応するビット線バーと接続され、

前記センスアンプが、前記対応するビット線と前記対応するビット線バーとの間の電圧差を増幅し、

前記イコライズ／プリチャージ回路は、前記対応するビット線と前記対応するビット線バーとの電圧をプリチャージおよびイコライズし、

前記複数のカラム選択プレート駆動線の1つが、前記複数の容量素子のうちの1つの第2電極と接続される半導体記憶装置。

【請求項2】 前記半導体記憶装置は、プレート駆動信号生成回路をさらに備え、

前記プレート駆動信号生成回路が、列アドレス信号のデコード信号に基づいて生成される出力信号により前記複数のカラム選択プレート駆動線を制御し、

前記出力信号が伝播されたカラム選択プレート駆動線が、選択状態となり、

前記出力信号が伝播されないカラム選択プレート駆動線が、フローティング状態（非選択状態）となる請求項1に記載の半導体記憶装置。

【請求項3】 前記プレート駆動信号生成回路が、メイン線と、前記複数のカラム選択プレート駆動線に接続される複数のスイッチ手段を有し、

前記列アドレス信号のデコード信号により、前記複数のスイッチ手段の少なくとも1つが選択的に活性化される請求項2に記載の半導体記憶装置。

【請求項4】 前記複数のスイッチ手段のそれぞれが、NチャネルトランジスタおよびPチャネルトランジスタとを並列に接続して成るトランスファゲートである請求項3に記載の半導体記憶装置。

【請求項5】 前記カラム選択プレート駆動線は、列アドレス信号のデコード信号に基づいて生成されるカラム

選択信号と、プレート駆動信号生成部が生成する出力信号との論理積により選択され、

前記カラム選択プレート駆動線は、前記カラム選択信号および前記プレート駆動信号生成部が生成する出力信号が共に活性化された場合にのみハイレベルとなり、それ以外の状態ではロウレベルとなる請求項1に記載の半導体記憶装置。

【請求項6】 前記センスアンプは、選択されるカラム選択プレート駆動線に対応して、択一的に動作状態なる請求項1～5のうちの1つに記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】1回のアクセス動作において、1つのメモリセルのプレート電極のみを駆動する強誘電体メモリ装置に関する。

【0002】

【従来の技術】強誘電体を用いた半導体記憶装置（以下、強誘電体メモリ装置と記す）は、強誘電体の分極方向でデータの記憶を行う不揮発メモリである。この種の強誘電体膜を用いた不揮発性半導体記憶装置の従来例として図7に示すものがある。

【0003】図7に示す強誘電体メモリ装置は、強誘電体膜を相対向する2つの電極で挟んで形成された容量素子Cs、容量素子Csの一方の電極と、トランジスタQcのソース電極およびドレイン電極のうちの一方とが接続されたメモリセルMCを備えている。複数のメモリセルMCは、行方向および列方向に配置されている。

【0004】複数のワード線WL₀～WL_{2n-1}は、行方向の複数のメモリセルMCに対応して設けられ、対応する行のメモリセルMCのトランジスタQcのゲート電極と接続されている。複数のワード線WL₀～WL_{2n-1}のレベルが選択レベルのとき、選択レベルのワード線に接続されているメモリセルMCが選択状態となる。

【0005】複数のビット線BL₀～BL_nおよび複数のビット線バー／BL₀～／BL_nは、複数のメモリセルMCの列に対応して設けられ、対応するメモリセルのMOSトランジスタQcのソース電極およびドレイン電極のうちの他方と接続される。

【0006】複数のプレート線PL₀～PL_nは、複数のメモリセルMCの2行に1本の割合で設けられ、2行のメモリセルMCの容量素子Csの他方の電極（以下、プレート電極と記す）と接続される。

【0007】複数のMOSトランジスタT₀～T_{2n-1}は、複数のワード線WL₀～WL_{2n-1}に対応して設けられ、複数のMOSトランジスタT₀～T_{2n-1}のゲート電極は対応するワード線に接続され、複数のMOSトランジスタT₀～T_{2n-1}のソース電極は、対応するプレート線に接続され、複数のMOSトランジスタT₀～T_{2n-1}のドレイン電極はドライブ線DLに接続される。

【0008】プレート駆動信号生成回路1は、ドライブ

線DLにプレート駆動信号を供給する。

【0009】図7に示す強誘電体メモリ装置の読出し動作を、図8を用いて説明する。

【0010】図8は、図7に示す強誘電体メモリ装置のタイミングチャートを示す図である。

【0011】ワード線(たとえばWL₀)が選択レベル(ハイレベル)に立ち上る前のスタンバイ状態において、ビット線BL₀〜BL_n、ビット線バー／BL₀〜／BL_n、およびドライブ線DLは接地電位レベルとなっている。ワード線WL₀がハイレベルになると、このワード線WL₀と接続するメモリセルMCは選択状態となり、またトランジスタT₀が導通状態となってプレート線PL₀にドライブ線DLが接続される。

【0012】次に、プレート駆動信号がプレート駆動電圧V_{p1}になり、プレート線PL₀に電圧V_{p1}が供給される。この結果、これらメモリセルMCの記憶情報がビット線BL₀〜BL_nに読出される。ビット線BL₀〜BL_nと対をなすビット線バー／BL₀〜／BL_nには、リファレンスセル(図示せず)が選択接続されることにより、基準電圧レベルが発生する。この基準電圧は、メモリセルMCの記憶情報“1”および“0”により発生するビット線電位のちょうど中間の電位に設定されている。これは、リファレンスセルのキャパシタサイズを調整することによって実現できる。

【0013】これらの対をなすビット線BL₀〜BL_nとビット線バー／BL₀〜／BL_nとの間の差電圧を増幅することにより、選択状態のメモリセルの記憶情報を外部へ読出することができる。この後、プレート駆動信号が接地電位になり、プレート線PL₀の電位も接地電位になることにより、選択状態のメモリセルに記憶情報が再度書き込まれる。

【0014】強誘電体メモリ装置においては、メモリセルMCの容量素子C_sの強誘電体膜に正負の誘発分極を与えて情報を記憶し、その誘発分極の状態を検知して記憶情報を読出すため、前述の例のようにプレート線に所定の電位V_{p1}を供給する必要がある。しかも、その容量素子C_sは強誘電体により形成されているので、その容量値は通常のDRAMに比べて大きくなる。また、プレート線には、一般に強誘電体との整合性からAu、Pt、Ruなどの貴金属が用いられる。これらの貴金属は、加工性の問題から膜厚を厚くすることが難しく、また、配線幅を広げることは微細化による高密度化の観点から不利である。したがって、その配線抵抗を低くすることが困難である。このため、プレート線の時定数が大きくなり、このプレート線駆動のための時間が長くなり、従来の強誘電体メモリ装置は高速で動作することが困難であった。

【0015】また、プレート線で充放電が行なわれるため、消費電力も増大する。

【0016】上述したように、従来の強誘電体メモリ装

置は、アクセスごとにプレート線を所定の電位で駆動する構成となっているので、プレート線を駆動するための時間が長く、高速動作が困難なうえ、プレート線の充放電により消費電力が増大するという問題点があった。

【0017】プレート線の駆動に要する時間および消費電力を低減する方法として、我々は特願平10-37152号に、1回のアクセス動作において、1つのメモリセルのプレート電極のみを駆動する方式を示した。

【0018】以下に、特願平10-37152号に示した強誘電体メモリ装置を図9および図10を用いて説明する。

【0019】図9は、特願平10-37152号に示した強誘電体メモリ装置を示す回路図であり、図10は図9に示す強誘電体メモリ装置のタイミングチャートを示す図である。

【0020】図9に示す強誘電体メモリ装置は、行方向および列方向に配置された複数のメモリセルMCを備えている。メモリセルMCは、強誘電体膜を相対向する2つの電極で挟んで形成された容量素子C_sと、ソース電極およびドレイン電極のうち的一方を容量素子C_sの一方の電極と接続するトランジスタQ_aと、ソース電極およびドレイン電極のうち的一方を容量素子C_sの他方の電極(以下、プレート電極と記す)と接続するトランジスタQ_dとを有している。

【0021】複数のワード線WL₀、WL₁、…は、複数のメモリセルの行と対応して設けられ、対応する行のメモリセルのトランジスタQ_aおよびトランジスタQ_dのゲート電極と接続される。

【0022】複数のビット線BL₀、BL₁、…およびビット線バー／BL₀、／BL₁、…は、複数のメモリセルMCの列に対応して設けられ、対応する列のメモリセルのトランジスタQ_aのソース電極およびドレイン電極のうちの他方と接続される。

【0023】それぞれの列において、メモリセルのトランジスタQ_dのソース電極およびドレイン電極のうちの他方がカラム選択プレート駆動線CD₀、CD₁、…に接続される。ここで、第i行第j列のメモリセルにおいて、容量素子C_sのプレート電極ノードをPL(i, j)とする。

【0024】図9に示す強誘電体メモリ装置は、さらに、外部から入力される(或いは内部にて発生された)アドレス信号を受けるアドレスバッファ2と、アドレスバッファ2からの出力信号を入力するロウデコーダ3およびカラムデコーダ4と、ロウデコーダ3から出力されるアドレスデコード信号を入力とし、ワード線WL₀、WL₁、…を駆動するワード線駆動回路5と、カラムデコーダ4から出力されるカラムアドレスデコード信号を入力とし、カラム選択プレート駆動線CD₀、CD₁、…を駆動するカラム選択プレート駆動回路6とを備えている。

【0025】なお、前記カラム選択プレート駆動線 CD_0 、 CD_1 …はポリシリコン配線あるいは通常の金属配線（アルミ配線等）により形成される。

【0026】図9に示す強誘電体メモリ装置の動作を図10を用いて説明する。

【0027】図10は、図9に示す強誘電体メモリ装置のタイミングチャートを示す図である。

【0028】ワード線が選択レベルに立上る前のスタンバイ状態において、ビット線 BL_0 、 BL_1 、…およびビット線バー/ BL_0 、/ BL_1 …と、カラム選択プレート駆動線 CD_0 、 CD_1 、…の信号は接地電位レベルとなっている。外部アドレス信号に応答して、所定のワード線（たとえば WL_i ）が選択レベルになると、このワード線 WL_i と接続するメモリセルMCのトランジスタ Q_a が導通状態となり、容量素子 C_s の一方の電極はビット線あるいはビット線バーと同じ接地電位レベルとなる。

【0029】また、このワード線 WL_i と接続するトランジスタ Q_d も導通し、対応するカラム選択プレート駆動線 CD_0 、 CD_1 、…の信号がプレート電極 $PL(i, 0)$ 、 $PL(i, 1)$ 、…にそれぞれ供給される。

【0030】さらに、外部カラムアドレス入力により所定のカラム選択プレート駆動信号（たとえば CD_j ）が選択レベルになると、プレート電極 $PL(i, j)$ のみがハイレベル V_{p1} となり、残りのプレート電極は接地電位レベルのままである。

【0031】この結果、第 i 行第 j 列目のメモリセルMCの記憶情報のみがビット線 BL_i に読出される。すなわち、トランジスタ Q_a がオン状態でビット線バー/ BL_i とプレート線 PL との間に負方向の電界 $-E_{max}$ が印加されることにより、図6のヒステリシス特性において c 点に保持された“1”データからは、 $P_{max} + P_r$ と対応する電荷をビット線バー/ BL_i に読出することができ、 a 点に保持された“0”データからは、 $P_{max} - P_r$ と対応する電荷を読出することができる。

【0032】このビット線 BL_i と対をなすビット線バー/ BL_i のレベルは、リファレンスセル（図示せず）が選択されることにより、基準電圧レベルとなる。これらの対をなすビット線 BL_i とビット線バー/ BL_i との間の差電位をセンス（増幅）することにより、選択状態のメモリセルの記憶情報を外部へ読出することができる。

【0033】なお、選択されない（第 j 列以外の）メモリセルMCに対しては、ビット線 BL_i とビット線バー/ BL_i との間の差電位は生じないので、情報はセンス（増幅）されず外部へ読出されない。すなわち、第 i 行第 j 列目の単一メモリセルMCの記憶情報のみがセンスされる。

【0034】この後、カラム選択プレート駆動線 CD_j の信号が接地電位に戻ることにより、プレート線 $PL(i, j)$ の電圧が接地電位になり、選択状態のメモリ

セルに記憶情報が再度書き込まれる。なお、ここでは1回のカラム選択プレート駆動信号パルスにより読出しと再書き込みが完了するが、ワード線が選択レベルにある間に、1つのカラム選択プレート駆動信号パルスにより読出しが行われ、2つ目のカラム選択プレート駆動信号パルスにより確実に再書き込みが行われるようにすることもできる。ここでの再書き込みとは、上述した読出しにおいて c 点の状態が a 点の状態に移行し、 c 点のデータに対して破壊した読出しとなるので、強誘電体膜に正方向の電界 E_{max} を印加して、再度 c 点の状態に戻す動作である。

【0035】これらの場合、選択されない第 i 行以外のメモリセルMCについては、トランジスタ Q_a により容量素子 C_s がビット線から切り離されているので、プレート線 PL に電圧 V_{p1} が印加されるか否かの如何にかかわらず、容量素子 C_s の電極間の電圧に変化はないので、分極情報は破壊されない。また、選択されるワード線 WL_i に接続され、カラム選択プレート駆動線 CD_j の信号が非選択レベルのメモリセルMCに関しては、センス動作が行われないので、分極情報が破壊されることはない。

【0036】図9に示す強誘電体メモリ装置によれば、1回のアクセス動作において、カラム選択プレート駆動回路は単一メモリセルMCのプレート電極 $PL(i, j)$ のみを駆動するだけでよく、その容量値および抵抗値が小さいため、プレート電極を駆動するのに要する時間が短くなり、高速動作および低消費電力化が実現できる。また、単一メモリセルMCの記憶情報のみがセンスされるため、センス動作における消費電流も大幅に削減される。

【0037】

【発明が解決しようとする課題】しかしながら、上述した強誘電体メモリ装置では、1つのメモリセルが2つのトランジスタと1つの強誘電体容量素子で構成されるため、1つのトランジスタと1つの強誘電体容量素子から構成されるメモリセルと比較すると、上述した強誘電体メモリ装置の回路面積が大きくなるという問題があった。

【0038】本発明は、上記問題に鑑み、回路面積が小さくなる半導体記憶装置を提供することを目的とする。

【0039】

【課題を解決するための手段】本発明の半導体記憶装置は、行方向および列方向に配置された複数のメモリセル、前記行方向に延びる複数のワード線、前記列方向に延びる複数のビット線、前記列方向に延びる複数のビット線バー、前記列方向に延びる複数のカラム選択プレート駆動線、イコライズ／プリチャージ回路、およびセンスアンプを備えた半導体記憶装置であって、前記複数のメモリセルのそれぞれは、容量素子とトランジスタを有し、前記容量素子は、第1電極と前記第1電極に対向す

る第2電極との間に強誘電体膜を挟んで形成され、前記強誘電体膜の分極状態により2値情報を記憶・保持し、前記トランジスタは、第1電極、第2電極、ゲート電極を有し、前記第1電極が前記容量素子の第1電極に接続され、前記ゲート電極が、対応するワード線に接続され、前記複数のトランジスタのうちの1つの第2電極が、対応するビット線と接続され、前記複数のトランジスタのうちの1つとは異なる別のトランジスタの第2電極が、対応するビット線バーと接続され、前記センスアンプが、前記対応するビット線と前記対応するビット線バーとの間の電圧差を増幅し、前記イコライズ/ブリチャージ回路は、前記対応するビット線と前記対応するビット線バーとの電圧をブリチャージおよびイコライズし、前記複数のカラム選択プレート駆動線の1つが、前記複数の容量素子のうちの1つの第2電極と接続され、そのことにより上記目的が達成される。

【0040】前記半導体記憶装置は、プレート駆動信号生成回路をさらに備え、前記プレート駆動信号生成回路が、列アドレス信号のデコード信号に基づいて生成される出力信号により前記複数のカラム選択プレート駆動線を制御し、前記出力信号が伝播されたカラム選択プレート駆動線が、選択状態となり、前記出力信号が伝播されないカラム選択プレート駆動線が、フローティング状態（非選択状態）となってもよい。

【0041】前記プレート駆動信号生成回路が、メイン線と、前記複数のカラム選択プレート駆動線に接続される複数のスイッチ手段を有し、前記列アドレス信号のデコード信号により、前記複数のスイッチ手段の少なくとも1つが選択的に活性化されてもよい。

【0042】前記複数のスイッチ手段のそれぞれが、NチャネルトランジスタおよびPチャネルトランジスタとを並列に接続して成るトランスファゲートであってもよい。

【0043】前記カラム選択プレート駆動線は、列アドレス信号のデコード信号に基づいて生成されるカラム選択信号と、プレート駆動信号生成部が生成する出力信号との論理積により選択され、前記カラム選択プレート駆動線は、前記カラム選択信号および前記プレート駆動信号生成部が生成する出力信号が共に活性化された場合にのみハイレベルとなり、それ以外の状態ではロウレベルとなってもよい。

【0044】前記センスアンプは、選択されるカラム選択プレート駆動線に対応して、択一的に動作状態となってもよい。

【0045】

【発明の実施の形態】本発明の実施の形態について図面を参照して説明する。

【0046】（第1の実施の形態）図1は、本発明の第1の実施形態における強誘電体メモリ装置を示す回路図である。図2は、図1に示す強誘電体メモリ装置のタイ

ミングチャートを示す図である。

【0047】図1に示す強誘電体メモリ装置100は、行方向および列方向に配置された複数のメモリセルMC、複数のワード線WL₀、WL₁、…、複数のビット線BL₀、BL₁、…、複数のビット線バー／BL₀、／BL₁、…、複数のカラム選択プレート駆動線CD₀、CD₁、…、カラム選択プレート駆動回路6、イコライズ/ブリチャージ回路7、センスアンプ8、アドレスバッファ2、ロウデコーダ3、カラムデコーダ4、およびワード線駆動回路5を備えている。メモリセルMCは、強誘電体膜を相対向する2つの電極（第1電極、第2電極）で挟んで形成された容量素子Csと、ソース電極およびドレイン電極のうち的一方（第1電極）を容量素子Csの一方の電極（第1電極）と接続するトランジスタQcとから構成される。

【0048】複数のワード線WL₀、WL₁、…は、対応する行方向のメモリセルMCのトランジスタQcのゲート電極と接続される。

【0049】複数のビット線BL₀、BL₁、…および複数のビット線バー／BL₀、／BL₁、…は、対応する列方向のメモリセルMCのトランジスタQcのソース電極あるいはドレイン電極の他方（第2電極）と接続される。

【0050】カラム選択プレート駆動線CD₀、CD₁、…は、列方向において、対応するメモリセルMCの容量素子Csの他方の電極（第2電極）と接続される。

【0051】イコライズ/ブリチャージ回路7は、ビット線BLと、そのビット線BLと対となるビット線バー／BLとの間の電圧をイコライズし、接地電位にブリチャージする。なお、対となる、ビット線BLおよびビット線バー／BLは隣接している。

【0052】センスアンプ8は、ビット線BLと、そのビット線BLと対となるビット線バー／BLとの間の電圧を増幅する。

【0053】アドレスバッファ2は、外部から入力される（あるいは内部にて発生された）アドレス信号を受け取る。

【0054】ロウデコーダ3およびカラムデコーダ4は、アドレスバッファからの出力信号を受け取る。

【0055】ワード線駆動回路5は、ロウデコーダから出力されるアドレスデコード信号を受け取り、ワード線WL₀、WL₁、…を駆動する。

【0056】カラム選択プレート駆動回路6は、カラムデコーダ4から出力されるカラムアドレスデコード信号を受け取り、カラム選択プレート駆動線CD₀、CD₁、…を駆動する。

【0057】強誘電体メモリ装置100の動作を図2を用いて説明する。

【0058】ワード線が選択レベルに立上る前のスタンバイ状態において、ビット線BL₀、BL₁、…およびビ

ット線バー／ BL_0 、 BL_1 、…はイコライズ／ブリチャージ回路7により接地電位レベルにされる。このとき、カラム選択プレート駆動線 CD_0 、 CD_1 、…も接地電位レベルになっている。

【0059】外部アドレス信号に応答して、所定のワード線（たとえば WL_1 ）が選択レベルになると、このワード線 WL_1 と接続するメモリセルMCのトランジスタ Q_c が導通状態となり、容量素子 C_s の一方の電極にはビット線上の接地電位が印加される。

【0060】カラム選択プレート駆動回路6は、外部カラムアドレスを受け取ると、所定のカラム選択プレート駆動線 CD_1 の信号が選択レベルになると、第j列の容量素子 C_s の他方の電極（プレート電極）のみがハイレベルとなり、第j列以外の容量素子 C_s のプレート電極 PI は接地電位のままである。これにより、第i行第j列のメモリセルMCの容量素子 C_s の両電極間にのみ電圧が印加される。

【0061】この結果、第i行第j列目のメモリセルMCの記憶情報のみがビット線 BL_1 に読出される。すなわち、容量素子 C_s の両電極間に負方向の電界 $-E_{max}$ が印加されることにより、図6に示すヒステリシス特性において、c点に保持された“1”データからは、 $P_{max} + P_r$ に対応する電荷をビット線 BL_1 に読出することができ、a点に保持された“0”データからは、 $P_{max} - P_r$ に対応する電荷を読出することができる。

【0062】このビット線 BL_1 と対をなすビット線バー／ BL_1 のレベルは、リファレンスセル（図示せず）が選択されることにより、基準電圧レベルとなる。これらの対をなすビット線 BL_1 とビット線バー／ BL_1 との間の差電位がセンス（増幅）されることにより、選択状態のメモリセルの記憶情報を外部へ読出することができる。

【0063】なお、選択されない（第i行および第j列以外の）メモリセルMCに対しては、ビット線 BL_1 とビット線バー／ BL_1 との間の差電位は生じないので、第j列のビット線 BL_1 とビット線バー／ BL_1 との間の差電位のみセンス（増幅）するようにセンスアンプが動作する。これにより、さらに消費電力の削減が可能となる。

【0064】なお、第j列に属し、容量素子 C_s の一方の電極がハイレベルになる容量素子 C_s のうち、第i行以外に属する容量素子 C_s の他方の電極がオープン状態であり、寄生容量として小さな拡散容量が存在するだけなので、容量素子 C_s の電極間には電圧が印加されず分極情報は破壊されずに残る。

【0065】この後、カラム選択プレート駆動線 CD_1 の信号が接地電位に戻ることにより、容量素子 C_s の一方の電極の電圧が接地電位になり、選択状態のメモリセルに記憶情報が再度書き込まれる。

【0066】ここでの再書き込みとは、上述した読出しにおいてc点の状態がa点の状態に移行し、c点のデータに対して破壊した読出しとなるので、強誘電体膜に正方向の電界 E_{max} が印加され、a点の状態を再度c点の状態に戻す動作である。なお、c点のデータに対して破壊した読出しとなるのは、c点での分極値 P_r がa点では分極値 $-P_r$ に変化するからである。

【0067】これらの場合、第i行以外で選択されないメモリセルMCについては、トランジスタ Q_c により容量素子 C_s がビット線から切り離されている。このため、ビット線 BL あるいはビット線バー／ BL の電圧変化の如何にかかわらず、容量素子 C_s の電極間の電圧は変化しないので、分極情報は破壊されない。また、選択されるワード線 WL_1 に接続され、カラム選択プレート駆動線 CD_1 が非選択レベルのメモリセルMCに関しては、センス動作が行われないので、分極情報が破壊されることはない。

【0068】本実施形態によれば、1回のアクセス動作において、カラム選択プレート駆動回路6は、選択されるメモリセルMCの容量素子 C_s のみを充放電するだけでよく、充放電するものの容量値および抵抗値は小さい。このため、充放電に要する時間が短くなり、本実施形態の強誘電体メモリ装置は、高速かつ低消費電力で動作することが可能である。

【0069】本実施形態では、選択される単一メモリセルMCに記憶されている情報のみがセンスされるため、センス動作における消費電流も大幅に削減できるという長所を生かしながら、メモリセルMCを構成する素子数を削減することができる。

【0070】なお、本実施形態では、1回のアクセスで同時に複数の列を駆動することもできる。1回のアクセスで同時に複数の列を駆動する場合、上述したように、駆動された列に対応して接続されるセンスアンプのみを駆動し、対応するビット線とビット線バーとの間の電位差のみを増幅することにより、選択された複数の列データを読出し、非選択の列データ（分極情報）は破壊されずに保存される。

【0071】（第2の実施の形態）図3は、本発明の第2の実施形態における強誘電体メモリ装置を示す回路図である。図4は、図3に示す強誘電体メモリ装置のタイミングチャートを示す図である。

【0072】図3に示す強誘電体メモリ装置200は、行方向および列方向に配置された複数のメモリセルMC、複数のワード線 WL_0 、 WL_1 、…、複数のビット線 BL_0 、 BL_1 、…、複数のビット線バー／ BL_0 、 BL_1 、…、複数のカラム選択プレート駆動線 CD_0 、 CD_1 、…、カラム選択プレート駆動回路16、イコライズ／ブリチャージ回路7、センスアンプ8、アドレスバッファ2、ロウデコーダ3、カラムデコーダ4、およびワード線駆動回路5を備えている。

【0073】カラム選択プレート駆動回路16の構成を除いて、強誘電体メモリ装置200の構成は、強誘電体メモリ装置100と同じである。

【0074】カラム選択プレート駆動回路16は、メイン信号MDLをメイン線9に出力するプレート駆動信号生成回路10と、カラムデコーダ4から出力されるカラムアドレスデコード信号AD₀、…、AD_i、…とメイン信号MDLとを受け取るANDゲート電極11を有している。

【0075】強誘電体メモリ装置200の動作を図4を用いて説明する。

【0076】ワード線がハイレベルに立上る前のスタンバイ状態において、ビット線BL₀、BL₁、…およびビット線バー／BL₀、／BL₁、…と、カラム選択プレート駆動線CD₀、…、CD_i、…とは接地電位レベルになっている。外部からのロウアドレス信号入力にตอบสนองして、所定のワード線（たとえばWL_i）が選択レベルになる。選択レベルになったワード線WL_iと接続するメモリセルMCのトランジスタQ_cが導通状態となり、容量素子C_sの一方の電極はビット線あるいはビット線バーと同じ接地電位レベルとなる。

【0077】プレート駆動信号生成回路10より、ハイレベルのメイン信号MDLがメイン線9に出力され、外部アドレス信号にตอบสนองしてアドレスデコード信号AD₀、…、AD_i、…のうちたとえばアドレスデコード信号AD_iが選択されると、ANDゲート11により、カラム選択プレート駆動信号線CD_iのみがハイレベルになる。このため、第j列の容量素子C_sの他方の電極のみがハイレベルとなり、第j列以外の容量素子C_sの他方の電極は接地電位レベルのままである。

【0078】この結果、第1の実施形態と同様に、第i行第j列目のメモリセルMCの記憶情報のみがビット線BL_jに読出される。読出された情報がセンス増幅された後、外部に読出される。この読出しの後、アドレスデコード信号AD_iが選択レベルにある間にメイン信号MDLを接地電位に戻すことにより、選択状態のメモリセルMCに記憶情報が再度書き込まれる。なお、メイン信号MDLが接地電位である場合、カラム選択信号線CD_iの電圧が接地電位になる。

【0079】（第3の実施の形態）図5は、本発明の第3の実施形態における強誘電体メモリ装置を示す回路図である。

【0080】図5に示す強誘電体メモリ装置300は、行方向および列方向に配置された複数のメモリセルMC、複数のワード線WL₀、WL₁、…、複数のビット線BL₀、BL₁、…、複数のビット線バー／BL₀、／BL₁、…、複数のカラム選択プレート駆動線CD₀、CD₁、…、カラム選択プレート駆動回路26、イコライズ／プリチャージ回路7、センスアンプ8、アドレスバッファ2、ロウデコーダ3、カラムデコーダ4、およびワ

ード線駆動回路5を備えている。

【0081】カラム選択プレート駆動回路26の構成を除いて、強誘電体メモリ装置300の構成は、強誘電体メモリ装置100と同じである。

【0082】カラム選択プレート駆動回路26は、メイン信号MDLをメイン線9に出力するプレート駆動信号生成回路10と、複数のNチャネルMOSトランジスタQC₀および複数のPチャネルMOSトランジスタQC₁を持つスイッチ手段とを有している。NチャネルMOSトランジスタQC₀のドレイン電極またはソース電極の一方は、対応するカラム選択プレート駆動線CD₀、…、CD_iに接続され、NチャネルMOSトランジスタQC₀のドレイン電極またはソース電極の他方は、メイン線9に接続される。また、PチャネルMOSトランジスタQC₁のドレイン電極またはソース電極の一方は、対応するカラム選択プレート駆動線CD₀、…、CD_iに接続され、PチャネルMOSトランジスタQC₁のドレイン電極またはソース電極の他方は、メイン線9に接続される。

【0083】NチャネルMOSトランジスタQC₀のゲート電極は、対応するカラムアドレスデコード信号AD₀、…、AD_i、…を受け取り、PチャネルMOSトランジスタQC₁のゲート電極は、対応する反転されたカラムアドレスデコード信号AD₀、…、AD_i、…を受け取る。

【0084】強誘電体メモリ装置300の動作は、非選択状態のカラム選択プレート駆動線CD₀、…、CD_i、…のレベルがフローティング状態となる点だけが強誘電体メモリ装置200の動作と異なる。

【0085】非選択状態のカラム選択プレート駆動線CD₀、…、CD_i、…が接地電位であっても、フローティング状態にあっても、非選択状態のメモリセルMCのキャパシタの分極状態は破壊されず、メモリセルMCのデータは保存されることに変わりはない。

【0086】なお、カラム選択プレート駆動回路26における複数のNチャネルMOSトランジスタQC₀および複数のPチャネルMOSトランジスタQC₁を有するスイッチ手段を、NチャネルMOSトランジスタのみで構成することは可能である。しかしながら、NチャネルMOSトランジスタの閾値電圧V_{th}分、カラム選択プレート線CD_iの電位が下がる可能性がある。このため、プレート駆動信号生成回路より出力されるメイン信号MDLのレベルが低い場合、図5に示すように、カラム選択プレート駆動回路26を用いることが好ましい。図5に示すカラム選択プレート駆動回路26では、カラム選択プレート線CD_iの電位の低下を防止することが可能である。

【0087】また、カラム選択プレート駆動回路26における複数のNチャネルMOSトランジスタQC₀および複数のPチャネルMOSトランジスタQC₁を有する

スイッチ手段を、PチャネルMOSトランジスタのみで構成することも可能である。

【0088】

【発明の効果】本発明の半導体記憶装置のメモリセルは、1つの容量素子と1つのMOSトランジスタからなっている。このため、本発明の半導体記憶装置の回路面積を、従来の半導体記憶装置のものに比べて、小さくすることが可能である。

【図面の簡単な説明】

【図1】本発明の第1の実施形態における強誘電体メモリ装置を示す回路図である。

【図2】図1に示す強誘電体メモリ装置のタイミングチャートを示す図である。

【図3】本発明の第2の実施形態における強誘電体メモリ装置を示す回路図である。

【図4】図3に示す強誘電体メモリ装置のタイミングチャートを示す図である。

【図5】本発明の第3の実施形態における強誘電体メモリ装置を示す回路図である。

【図6】強誘電体メモリのヒステリシス特性を示す図である。

*

【図7】従来の強誘電体メモリ装置を示す回路図である。

【図8】図7に示す強誘電体メモリ装置のタイミングチャートを示す図である。

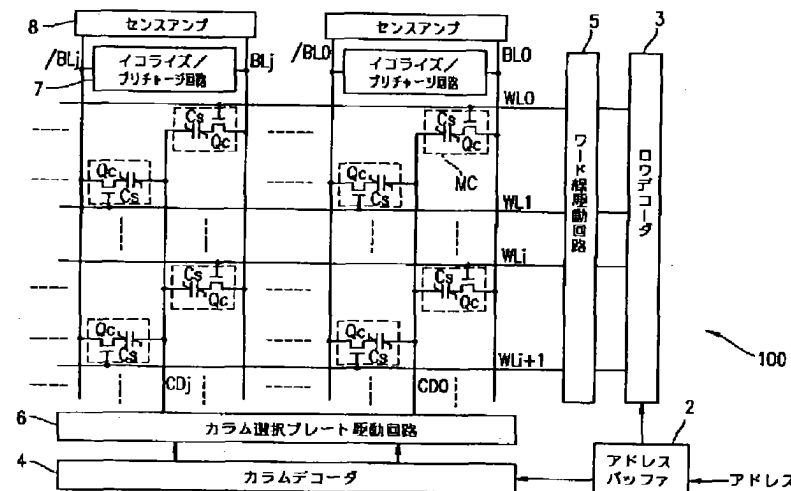
【図9】従来の強誘電体メモリ装置を示す回路図である。

【図10】図9に示す強誘電体メモリ装置のタイミングチャートを示す図である。

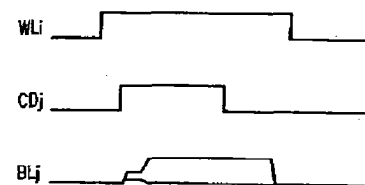
【符号の説明】

- | | |
|-----|----------------|
| 2 | アドレスバッファ |
| 3 | ロウデコーダ |
| 4 | カラムデコーダ |
| 5 | ワード線駆動回路 |
| 6 | カラム選択プレート駆動回路 |
| 7 | イコライズ/プリチャージ回路 |
| 8 | センスアンプ |
| 100 | 強誘電体メモリ装置 |
| BL | ビット線 |
| /BL | ビット線バー |
| WL | ワード線 |
| CD | カラム選択プレート駆動線 |

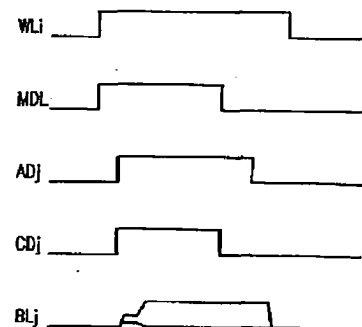
【図1】



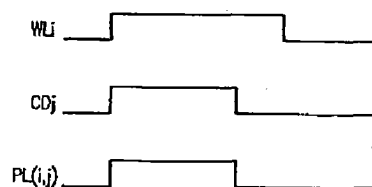
【図2】



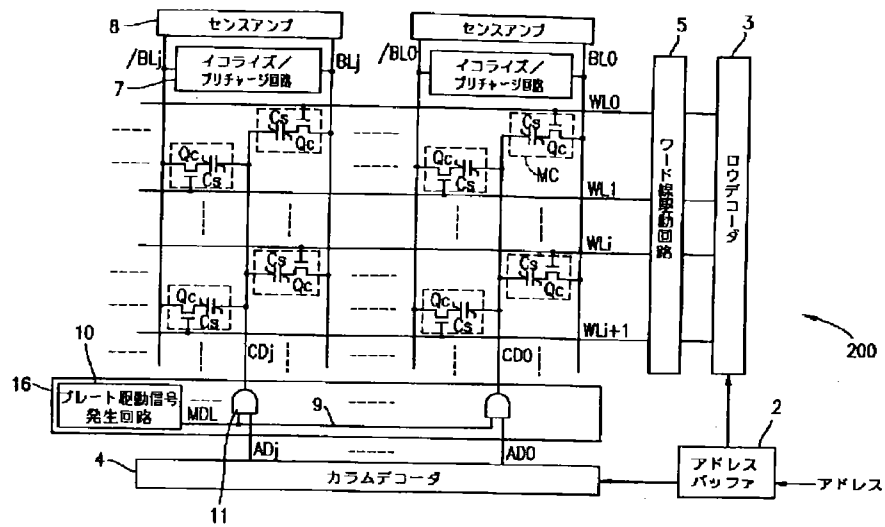
【図4】



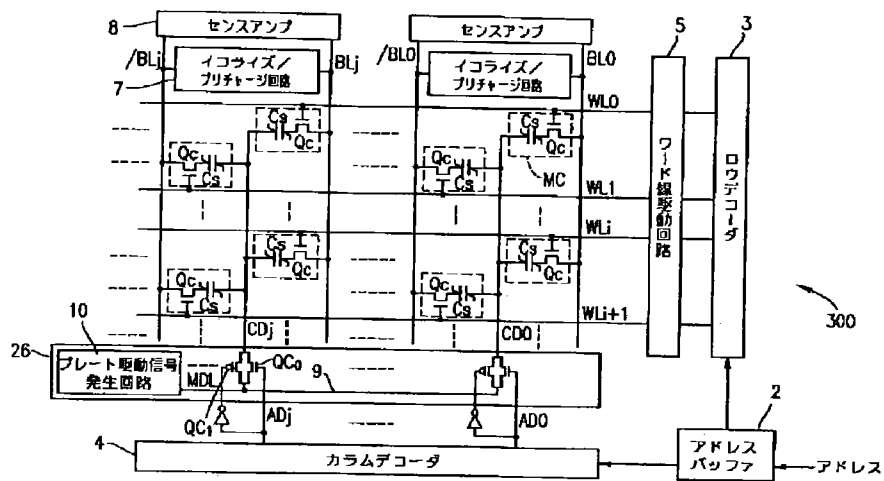
【図10】



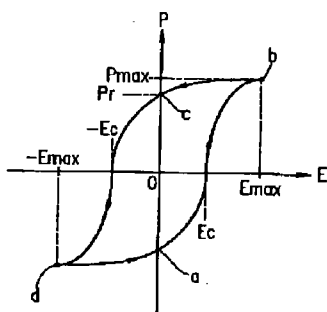
【図3】



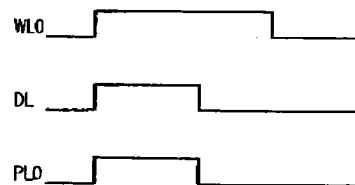
【図5】



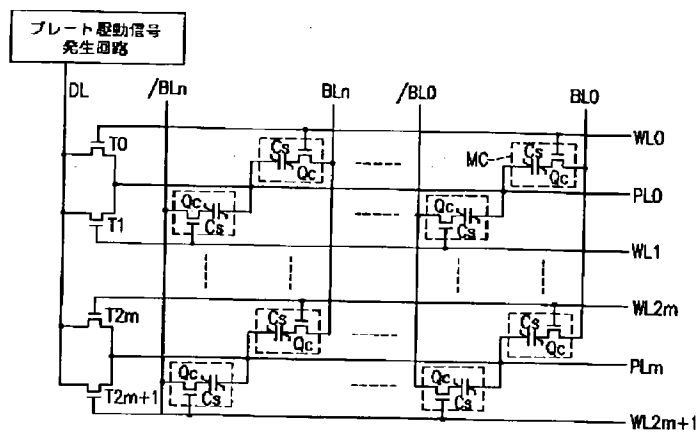
【図6】



【図8】



【図7】



【図9】

